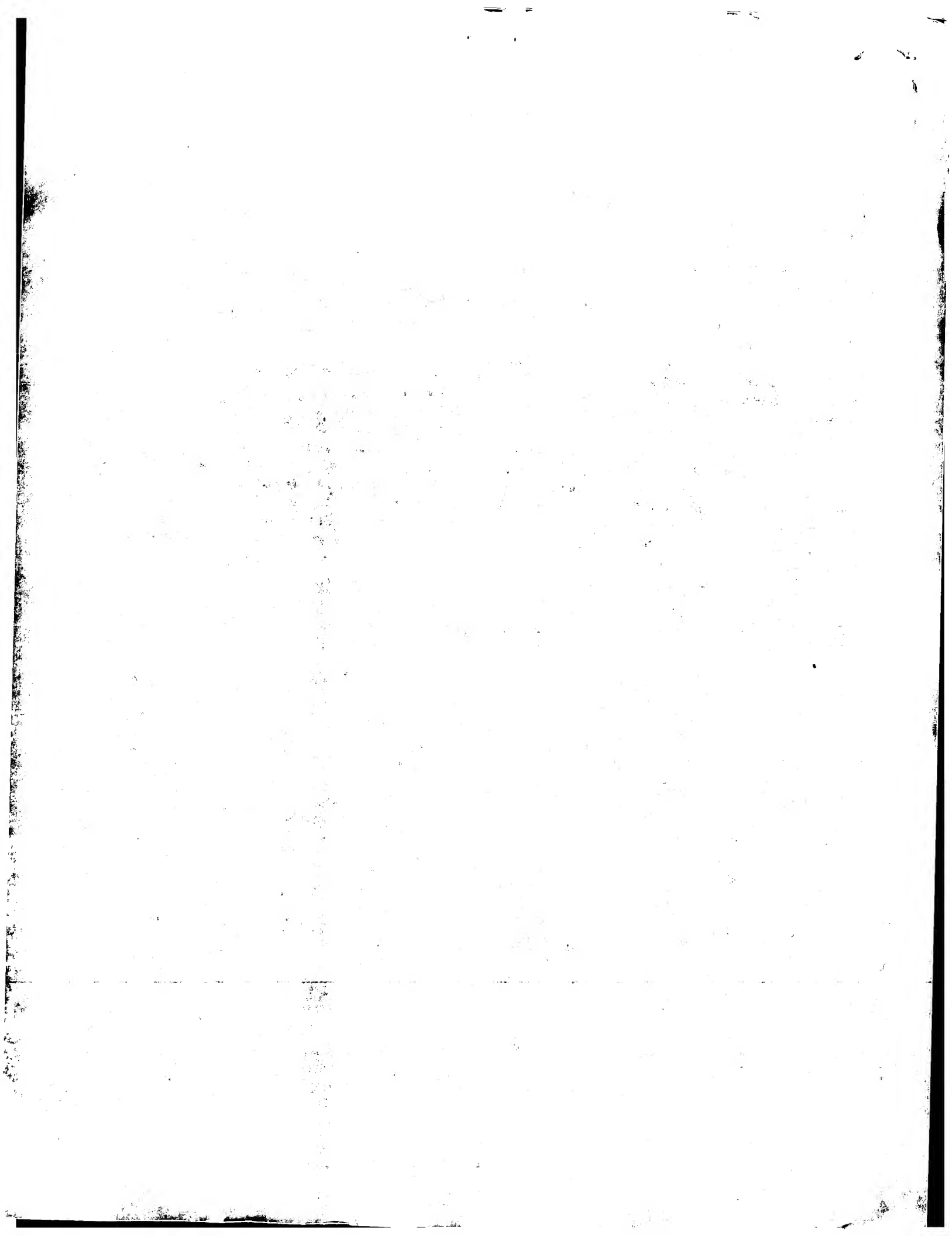


© EPODOC / EPO

PN - JP3051972 19910306
TI - STATE CHANGE DETECTION SYSTEM FOR INPUT DATA
FI - G06F1310&310D ; G06F1574&320C ; G06F1740&320C
PA - FUJITSU LTD
IN - MORI MASARU
AP - JP198901868789890719
PR - JP198901868789890719
DT - I

© PAJ / JPO

PN - JP3051972 19910306
TI - STATE CHANGE DETECTION SYSTEM FOR INPUT DATA
AB - PURPOSE: To reduce the load on a CPU and to speed up detection as to whether or not there is a state change by sampling data of plural input ports and detecting whether or not there is the state change through a circuit without the intervention of a CPU.
 - CONSTITUTION: Buffers **41** and **4N** receive data **D1** and **DN** from input ports **1** and **IN** individually and a counter **2** specifies an address signal **ADR1** to a common **RAM1**; and a control circuit **3** generate a chip select **CS** and write/ read control signals **EB1** and **EB2** for the buffers **41** and **4N** and common **RAM1**, and sample data in data units of the input ports are written in the common **RAM1**. A comparing circuit **5** inputs current data **DATA1** of sample data of the data **D1** and **DN** from the buffers **41** and **4N** and last data **DATA2** from the common **RAM1** to detect whether or not there is the state change of data, and sends out an interruption processing request **IRQ** to a **CP6** when detecting the state change. Consequently, the load on the CPU is reduced and the detection of the state change of the data of the input ports is speeded up.
I - G06F1574; G06F1310
PA - FUJITSU LTD
IN - MORI MASARU
ABD - 19910523
ABV - 015201
GR - P1205
AP - JP198901868789890719



⑫ 公開特許公報(A) 平3-51972

⑤ Int. Cl.⁵G 06 F 15/74
13/10

識別記号

3 2 0 C
3 1 0 D

庁内整理番号

7530-5B
7218-5B

⑬ 公開 平成3年(1991)3月6日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 入力データの状態変化検出方式

⑮ 特 願 平1-186879

⑯ 出 願 平1(1989)7月19日

⑰ 発 明 者 森

勝

神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富士通株式会社

神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 井 桁 貞一

明細書

1. 発明の名称

入力データの状態変化検出方式

2. 特許請求の範囲

複数の入力ポート(I_1, I_N)からのデータ(D_1, D_N)を個別に受け渡しするバッファ($4_1, 4_N$)を介し、該複数のデータの書き込み読出しに共通に使用されるアクセス面として2面を有するRAM(1)と、該共通RAMの2面の書き込み読出しのアドレス割付信号(ADR_1)および制御回路(3)で該共通RAMの書き込みの制御信号(EB_1, EB_2)と該バッファ($4_1, 4_N$)からの入力データ(D_1, D_N)をサンプリングしたデータの送出を各入力ポート単位で選択するチップセレクト信号(CS_{11}, CS_{12})とを作成するカウンタ(2)と、該共通RAMからの前回データ($DATA_2$)と該バッファ($4_1, 4_N$)からの今回データ($DATA_1$)とを比較し状態変化を検出する比較回路(5)と、該比較回路の検出信号を割込処理要求信号として今回データ($DATA_1$)の割込処理をし該

データのアドレス(ADR_2)を出力するCPU(6)と、該CPUの出力(ADR_2)を解釈して該バッファ($4_1, 4_N$)からのデータの送出を選択するチップセレクト信号(CS_{21}, CS_{22})を出力するデコーダ(7)を具え、複数の入力ポート(I_1, I_N)からの各データ(D_1, D_N)のサンプリングと状態変化の検出を、CPU(6)に制御されない共通RAM(1)とカウンタ(2)と比較回路(5)により行い、該CPUが入力データの状態変化の発生時のみ処理要求を受け処理することを特徴とした入力データの状態変化検出方式。

3. 発明の詳細な説明

(概要)

複数の入力機器からのデータをサンプリングし其の状態変化を検出した時にCPUがそれに対応した処理を行うシステムの、特に入力ポートからのデータの状態変化を検出する方式に関し、

複数の入力ポートからのデータのサンプリングと状態変化の検出とを、CPUを介さない回路で行

うことにより、CPU の負荷の軽減と状態変化の検出のスピードアップを目的とし、

複数の入力ポートからのデータを個別に受け渡しするバッファを介し該データの書込み読出しに共通に使用されるアクセス面として 2面を有する共通RAM と、該共通RAM の書込み読出しのアドレス割付信号および制御回路で共通RAM の書込み制御信号と前記バッファから入力ポート単位のサンプルデータを選択するチップセレクト信号とを作成するカウンタと、該共通RAM からの前回データと該バッファからの今回データとを比較し状態変化を検出する比較回路5 と、該比較回路の検出信号を割込処理要求信号として今回データの割込処理をし該データのアドレス信号を出力するCPU と、該CPU の出力のアドレス信号を解読して該バッファからのデータの送を選択するチップセレクト信号を出力するデコーダを具え、複数の入力ポートのデータのサンプリングと状態変化の検出を、CPU に制御されない共通 RAMとカウンタと比較回路により行い、該CPU が入力データの状態変化時

のみ処理要求を受け処理するように構成する。

〔産業上の利用分野〕

本発明は複数の入力機器のデータをポーリングしサンプリングしてその状態変化を検出し、CPU がそれに対応した処理を行うシステムに係り、特に入力ポートからのデータの状態変化を検出する方式に関する。

CPU を使って複数の入力ポートからのデータをポーリングしサンプリングして処理するシステムは、なるべく高速で且つ多数の処理を行うことが要求されている。この為、サンプリングの周期の短縮と、状態変化の発生から CPU の処理までの時間の短縮を行う必要がある。又、CPU がサンプリングの全部の間その処理に係わっている形となっているので、この状態を改善する必要がある。

〔従来の技術〕

従来の入力データの状態変化検出方式は、第4図のブロック図の如く、1つのCPU 6A が、複数

の入力ポート $I_1, I_2 \sim$ のデータ $D_1, D_2 \sim$ を受け渡しするバッファ $4_1, 4_2 \sim$ を、周期 T_1 の1つのサンプリング信号で全入力ポート $I_1, I_2 \sim$ のデータ $D_1, D_2 \sim$ の $1_1, 2_1, \dots, n-1_1, n_1, 1_2, 2_2, \dots, n-1_2, n_2 \sim$ を一括してサンプリングし、各サンプルデータの状態変化を検出した時に、それに対応する処理を行うが、この場合、入力ポートのデータ $D_1, D_2 \sim$ に状態変化が生じなくとも、CPU 6Aが定められた複数の入力ポート $I_1, I_2 \sim$ の全サンプルデータについて状態変化の検出を行い続けている。

そして、CPU 6Aが1つの入力ポート I_1 のデータ $1_1, 2_1, \dots, n-1_1, n_1$ を1度サンプリングしてから再度サンプリングする迄のサンプリング周期は、第3図(b)の如く、CPU の1マシンサイクル分 T_1 だけかかっていた。

〔発明が解決しようとする課題〕

従って従来方式は以下の様な問題点があった。

- (1) 1つのCPU が、サンプリングと状態変化の有無の検出の両方に使用される為、状態変化をチェッ

クするサンプルデータの項目数が多くなった場合、CPU の処理時間が増大して状態変化から其の検出までの時間が大きくなり処理が遅くなる。(2) CPU はサンプリングと状態変化の有無の検出だけでなく他の処理を行っている場合が殆どである為、別処理の途中で入力ポートのデータの状態変化が発生しても直ぐにその変化を検出できない。

本発明は、複数の入力ポートのデータのサンプリングと状態変化の有無の検出とを、CPU を介さない回路で行うことにより、CPUの負荷軽減による有効利用と、状態変化の有無の検出のスピードアップとを図ることを課題とする。

〔課題を解決するための手段〕

この課題は、第1図に示す如く、複数 N の入力ポート I_1, I_N からの各データ D_1, D_N の一時の受け渡しに個別に使用されるバッファ $4_1, 4_N$ を介し、データの書込み読出しに共通に使用される面として 2面を有する共通RAM 1 と、共通RAM 1 の2面の書込み読出しのアドレス割付信号 ADR_1 お

よび制御回路3で該共通RAM 1の書込みの制御信号 EB_1, EB_2 と該バッファ4_{1, 4 N}からの入力データ D_1, D_N のサンプルデータの送出を各入力データ単位で選択するチップセレクト信号 CS_{11}, CS_{12} とを作成するカウンタ2と、該共通RAM 1からの前回データ $DATA_2$ と前記バッファ4_{1, 4 N}からの今回データ $DATA_1$ とを比較し状態変化を検出する比較回路5と、該比較回路の検出信号を割込要求信号IRQとして入力しバッファ4_{1, 4 N}からの今回データ $DATA_1$ を割込処理して今回データ $DATA_1$ のアドレス信号 ADR_2 を出力するCPU 6と、該CPU 6の出力するアドレス信号 ADR_2 を解読してバッファ4_{1, 4 N}のデータ D_1, D_N の送出を選択するチップセレクト信号 CS_{21}, CS_{22} を出力するデコード7とを具え、複数の入力ポート I_1, I_N からの各データ D_1, D_N の状態変化を、CPU 6に制御されない共通RAM 1とカウンタ2と比較回路5により検出し、CPU 6は該状態変化の発生時のみ比較回路5から処理要求を受け処理するように構成する本発明によって解決される。

5は、バッファ4_{1, 4 N}からサンプルした今回データ $DATA_1$ と共通RAM 1からの前回データ $DATA_2$ を入力して、データの状態変化の有無を検出する比較回路である。

6は、比較回路5の検出信号を割込処理要求IRQとして受けて割込処理をし、バッファ4_{1, 4 N}からの今回データ $DATA_1$ を処理するCPUである。

7は、CPU 6が処理した今回データ $DATA_1$ のアドレス信号 ADR_2 を解読しバッファ4_{1, 4 N}のチップセレクト信号 CS_{21}, CS_{22} を出力するデコードである。

〔作用〕

バッファ4_{1, 4 N}は、複数Nの入力ポート I_1, I_N からデータ D_1, D_N を個別に受け取り、其のサンプルデータを共通RAM 1へ書き込む。この時、カウンタ2が共通RAM 1へのアドレス信号 ADR_1 を指定し、制御回路3に、バッファ4_{1, 4 N}と共通RAM 1のチップセレクトCSや書込みWEと読出しREの制御信号 EB_1, EB_2 を作成させ、各入力ポートの

本発明の入力データの状態変化検出方式の基本構成を示す第1図の原理図において、

1は、複数Nの入力ポート I_1, I_N からのデータ D_1, D_N の受け渡しに個別に使用されるバッファ4_{1, 4 N}を介し、データの書込み読出しに共通に使用される面として2面を有する共通RAMである。

2は、共通RAM 1の2面の書込み読出しのアドレス割付信号 ADR_1 および制御回路3で該共通RAM 1の書込みの制御信号 EB_1, EB_2 と前記バッファ4_{1, 4 N}から各入力ポートデータ D_1, D_N のサンプルデータの送出を選択するチップセレクト信号 CS_{11}, CS_{12} の作成に使用されるカウンタである。

3は、カウンタ2の出力により共通RAM 1の書込みの制御信号 EB_1, EB_2 と、バッファ4_{1, 4 N}からの各入力ポートデータ D_1, D_N のサンプルデータの送出を選択するチップセレクト信号 CS_{11}, CS_{12} とを作成する制御回路である。

4_{1, 4 N}は、複数の入力ポート I_1, I_N からのデータ D_1, D_N の受け渡しに個別に使用されるバッファである。

データ単位のサンプルデータを共通RAM 1へ書き込む。

比較回路5は、バッファ4_{1, 4 N}からの入力ポート I_1, I_N の各データ D_1, D_N のサンプルデータの現在データ $DATA_1$ と共通RAM 1からの前回データ $DATA_2$ とを入力して、データの状態変化の有無を検出し、状態変化を検出した時に、CPU 6へ割込処理要求IRQを送出する。

CPU 6は、複数の入力ポート I_1, I_N の各データ D_1, D_N のサンプルデータの状態変化の発生時のみ、比較回路5から割込処理要求IRQを受けて現在データ $DATA_1$ を処理するので、状態変化の処理は速やかに行われる。

すなわち、本発明の入力データの状態変化検出方式は、複数の入力ポートからのデータのサンプリングとサンプルデータの状態変化の有無の検出とを、CPUを介さない共通RAM 1とカウンタ2と比較回路5で行うことにより、CPU 6の負荷軽減と、入力ポートのデータの状態変化の検出のスピードアップを図れるので問題は解決される。

〔実施例〕

第2図は本発明の実施例の入力データの状態変化検出方式の構成を示すブロック図であり、第3図(a)はその動作を説明するためのサンプリング周期図である。

第2図のブロック図において、共通RAM 1は、入力ポートからのデータ $D_1 \sim D_N$ のサンプルデータの書き込み読出しに使用される面として2面(1)、(2)を有するRAMであって、複数 N の入力ポート $I_1 \sim I_N$ からのデータ $D_1 \sim D_N$ の一時的受け渡しに個別に使用されるバッファ $4_1 \sim 4_N$ の各受信バッファREC 1を介し、各データのサンプルデータの書き込み読出しに共通に使用される。

カウンタ2は、第3図(a)に示す如く、入力ポート $I_1 \sim I_N$ からの各データ $D_1 \sim D_N$ の1サンプリング周期 T_1 のうち別処理 α を除く1入力ポート分 T_2 を計数するカウンタCOUNTで構成され、共通RAM 1の2面(1)、(2)の書き込み読出しのアドレス割付信号ADR₁の発生および制御回路3のCONT₁で共通

RAM 1の書き込みWE、読出しRE、チップセレクトCSの制御信号EB₁、EB₂と前記バッファ $4_1 \sim 4_N$ からの各入力ポートデータ $D_1 \sim D_N$ のサンプルデータの送出を選択するチップセレクト信号CS₁、CS₂の作成に使用される。

比較回路5は、比較器COMPで構成され、バッファ $4_1 \sim 4_N$ からの入力ポート $I_1 \sim I_N$ の各データ $D_1 \sim D_N$ の各入力データ単位のサンプルデータの現在データDATA₁と、共通RAM 1からの前回データDATA₂とを入力してデータの状態変化の有無を検出し、状態変化を検出した時に、CPU 6へ割込処理要求IRQを送出する。

現在データDATA₁は状態変化が生じていてもいなくとも、共通RAM 1の2面RAMの第1ポート側(1)に書込まれる。この場合、書き込みの番地ADR₁は、カウンタ4のCOUNTにより決定される。また、書き込みの制御信号EB₁は制御回路3のCONT₁にて作成される。

前回データDATA₂はカウンタCOUNTによりデータの番地ADR₁を指定してから制御回路3のCONT₁、

の制御信号EB₂を使って共通RAM 1の第2ポート側(2)から読み取られ比較回路5のCOMPへ送出される。

CPU 6は、複数の入力ポート $I_1 \sim I_N$ の各データ $D_1 \sim D_N$ の各サンプルデータの状態に変化が発生した時のみ、比較回路5から割込処理要求IRQを受けて、それに応じた割込処理を行い、入力ポート $I_1 \sim I_N$ からの現在データDATA₁のバッファ8のREC₂への読込み動作を始める。このバッファ8の読込み動作は、CPU 6からデコード7のCONT 2へのアドレス信号ADR₂に応じて発生され、バッファ8のREC₂へ供給するチップセレクト信号CS₂を操作して行うので、現在データDATA₁の状態変化の処理は速やかに行われる。

すなわち、第2図の実施例の入力データの状態変化検出方式は、複数の入力ポートからのデータのサンプリングと状態変化の有無の検出を、CPUを介さない共通RAM 1とカウンタ2と比較回路5で行うことにより、CPU 6の負荷軽減と同時に、入力ポートのデータの状態変化の検出のスピード

アップが図れるので問題は無い。

〔発明の効果〕

以上説明した如く、本発明によれば、CPUが複数の入力ポートの各データの全部を常時ポーリングする必要がなくなりCPUの処理時間が短縮される。そして入力ポートからの各データの監視と別の処理も可能となるので、CPUの有効利用を図れる効果がある。

4. 図面の簡単な説明

第1図は本発明の入力データの状態変化検出方式の基本構成を示す原理図、

第2図は本発明の実施例の入力データの状態変化検出方式の構成を示すブロック図、

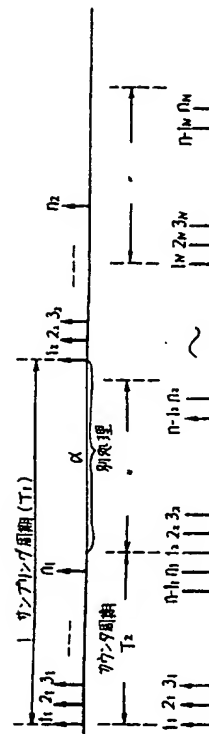
第3図は本発明の実施例の動作を説明するためのサンプリング周期図、

第4図は従来の入力データの状態変化検出方式のブロック図である。図において、

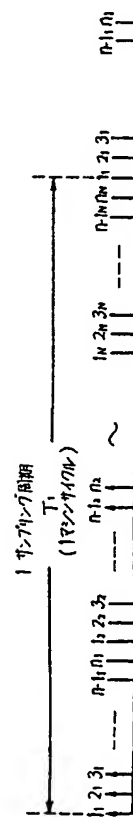
1は共通RAM、2はカウンタ、3は制御回路、

4, 4_N はバッファ、5 は比較回路、6 は CPU、
7 はデコーダである。

代理人 弁理士 井桁貞



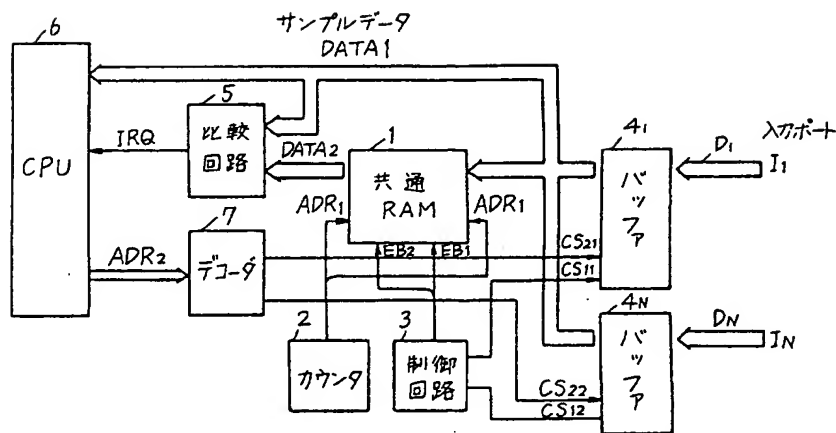
(a) 本発明のサンプリング周期



(b) 従来のサンプリング周期

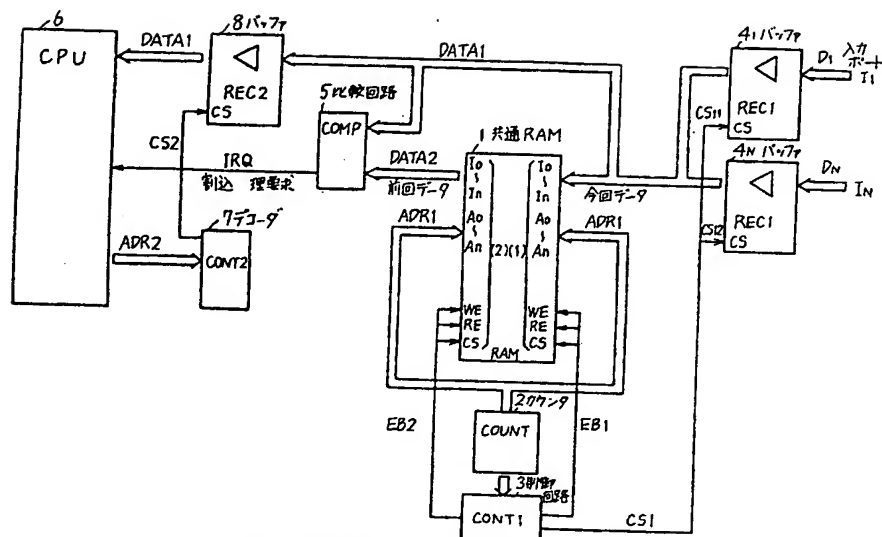
本発明の実施例の動作を説明するためのサンプリング周期図

第 3 図



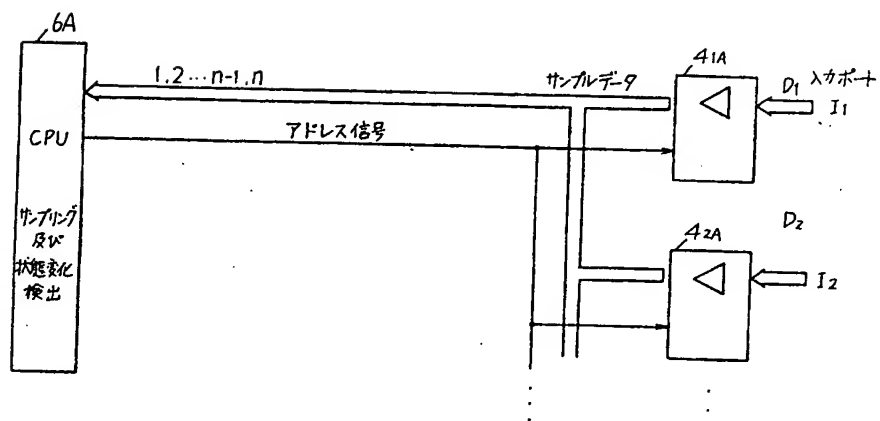
本発明の入力データの状態変化検出方式の基本構成を示す原理図

第 1 図



本発明の実施例の入力データの状態変化検出方式の構成を示すブロック図

第 2 図



従来の入力データの状態変化検出方式のブロック図

第 4 図